

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Japanese Published Patent Application No. H5-210090

(43) Date of Publication: August 20, 1993

(51) Int. Cl. ⁵	Identification Symbol	JPO file number	FI
G 02 F 1/133	550	7820-2K	
1/136	500	9018-2K	
G 09G 3/36		7319-5G	
H 01L 27/00		8418-4M	

Section Showing Technique

Request for Examination: not made

Number of claim: 2

(6 pages in total)

(21) Application Number: H4-40601

(22) Application Date: January 31, 1992

(71) Applicant: 000001007
 Canon Inc.
 3-30-2, Shimomaruko, Ohta-ku, Tokyo

(72) Inventor: Tetsunobu KOUCHI
 c/o Canon Inc.
 3-30-2, Shimomaruko, Ohta-ku, Tokyo

(72) Inventor: Mamoru MIYAWAKI
 c/o Canon Inc.
 3-30-2, Shimomaruko, Ohta-ku, Tokyo

(74) Agent: Patent Attorney Yoshio TOYODA (one other)

(54) [Title of the Invention] Signal Input Method

(57) [Abstract]

[Structure]

A signal input method characterized in that, over an active matrix substrate which

has a transistor formed of a single crystal Si thin film with no defect obtained by being epitaxial grown over porous Si and a built-in peripheral driver circuit in which metal or silicide is used for a clock signal input line, a plurality of the driver circuits is provided for each of a scanning line and a display line and clock signals are input from a plurality of points to each driver circuit.

[Effect]

By a combination of low-resistance metal wiring and a single crystal semiconductor which has high reliability and is capable of high-speed driving, future high-frequency driving is achieved.

[Scope of Claim]

[Claim 1]

A signal input method characterized in that, over an active matrix substrate with a built-in peripheral driver circuit, a clock signal line in the peripheral driver circuit is wired by metal or silicide, a transistor in the peripheral driver circuit is formed of a single crystal thin film, and signals are input from a plurality of points to the driver circuit.

[Claim 2]

A signal input method as described in claim 1, characterized in that a plurality of driver circuits is provided for each of a scanning line and a display line and signals are input from a plurality of points to each driver circuit.

[Detailed Description of the Invention]

{0001}

[Field of Industrial Application]

The present invention relates to a signal input method of a peripheral driver circuit built in a substrate, which is for driving a plurality of pixels arranged in matrix of a liquid crystal display device or the like in an active matrix manner.

[0002]

[Related Art]

It is necessary to divide one screen into as many pixels as possible in a liquid crystal display device for displaying an image or the like in order to improve resolution and

perform fine display. However, when the number of pixels becomes massive and the number of corresponding scanning electrodes or display electrodes is increased, there are problems in that normal time-division driving becomes difficult. Therefore, an active matrix method is employed, in which, by arranging a switching element in each pixel electrode and matrix-driving the switching element, the pixel electrode is turned on and off by the switching element.

[0003]

This active matrix method is classified broadly into a three-terminal method and a two-terminal method depending on a kind of a switching element to be used. By using a three-terminal element, especially a TFT (thin film transistor) element, as a driver circuit and arranging the element in the periphery of a display portion, the display portion and the driver circuit can be integrated and incorporated over the same substrate at the same time, which is extremely effective in manufacturing and downsizing.

[0004]

FIG. 5 shows a conventional active matrix substrate with a built-in driver circuit. In the drawing, reference numeral 1 denotes a pixel electrode; 2, a transistor; 3, a display line; 4, a scanning line; 5 and 6, a display line driver circuit; 7 and 8, a scanning line driver circuit; 9 and 10, a block signal input terminal of the display line driver circuit; and 11 and 12, a block signal input terminal of the scanning line driver circuit. Furthermore, FIG. 2 shows a cross-section of a p-Si (polycrystalline silicon) TFT element built in the display line driver circuit. In the drawing, reference numeral 21 denotes a substrate (normally, a glass substrate); 22 and 23; a source or a drain of a transistor; and 25 between 22 and 23, a channel portion which is formed of polycrystalline silicon. Reference numeral 24 denotes a gate electrode which is also formed of polycrystalline silicon. Reference numerals 26 to 28 denote aluminum for a wiring; and 27 and 28, an input line of a clock signal. Reference numeral 29 denotes a polycrystalline silicon film for a wiring, which is normally formed concurrently with the gate electrode. Reference numeral 30 denotes a display line formed of ITO (Indium Tin Oxide); and 31 to 40, an insulating layer.

[0005]

[Problems to be Solved by the Invention]

As described above, by increasing the number of pixels, image quality can be improved. However, in order to improve image quality, it is necessary to increase scanning lines and display lines and to drive each of the scanning line and the display line at high speed. Japanese Published Patent Application No. S60-166927 discloses a driver circuit in which a manufacturing process is simplified by using the same ITO as that of a display line and a scanning line for the signal line, and at the same time, high speed is achieved by inputting signals from a plurality of points to the signal line. However, there has been limitation of future high speed even if signals are input from a plurality of points, because ITO has high resistance and is limited in high speed, and furthermore, polycrystalline silicon with low mobility is used in a conventional transistor.

[0006]**[Means for Solving the Problem and Effects]**

The present invention solves the problem, achieves high speed of a driver circuit, and provides an input method which can be adapted to high-frequency driving.

[0007]

In other words, the present invention is a signal input method characterized in that, over an active matrix substrate with a built-in peripheral driver circuit, a clock signal line in the peripheral driver circuit is wired by metal or silicide, a transistor in the peripheral driver circuit is formed of a single crystal thin film, and signals are input from a plurality of points to the driver circuit.

[0008]

Moreover, in the present invention, a plurality of driver circuits are provided for each of the scanning line and the display line and signals are input from a plurality of points to each driver circuit; accordingly, much higher speed can be achieved.

[0009]

A material used for the signal line in the present invention is metal or silicide. Specifically, Al, Ti, Ta, Mo, Cu, or W can be used as metal, and TiSi_2 , TaSi_2 , WSi_2 , or MoSi_2 can be used as silicide.

[0010]

In addition, although a structure of the transistor in the peripheral driver circuit used in the present invention is almost the same as that of a conventional transistor used in a peripheral driver circuit, the structure is characterized in that a semiconductor, that is, an active layer (a source 22, a drain 23, and a channel 25) shown in FIG. 2 is formed of a single crystal thin film.

[0011]

Since this single crystal thin film is formed using a porous base substance, the single crystal thin film is a high-quality single crystal semiconductor with few defects. A formation method of this single crystal thin film will be explained using a single crystal Si thin film as an example. A single crystal Si layer is formed using a porous Si base substance which is formed by making a single crystal Si base substance porous.

[0012]

According to the observation by a transmission electron microscope, a pore with a diameter of approximately 600 Å in average is formed in this porous Si base substance. Even though density thereof is less than or equal to half of density of single crystal Si, single crystallinity thereof is maintained and epitaxial growth of the single crystal Si layer toward an upper portion of a porous layer is also possible. However, at a temperature of greater than or equal to 1000°C, rearrangement of inside pores is generated, and a speed-up etching characteristic is damaged. Therefore, low temperature growth such as a molecular beam epitaxial growth method, a plasma CVD method, a thermal CVD method, a photo CVD method, a bias sputtering method, or a liquid crystal growth method is preferable for epitaxial growth of the Si layer.

[0013]

Here, an epitaxial growth method of a single crystal layer after P-type Si is made to be porous will be explained.

[0014]

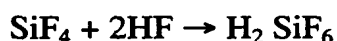
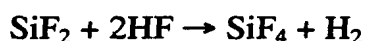
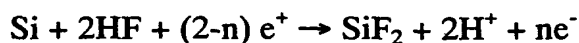
First, a single crystal Si base substance is prepared and is made to be porous by an anodization method using an HF solution. Although density of single crystal Si is 2.33

g/cm³, density of a porous Si base substance can be changed to 0.6 ~ 1.1 g/cm³ by changing the concentration of the HF solution to 20 ~ 50%. This porous layer is easily formed into a P-type Si base substance according to the following reason.

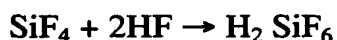
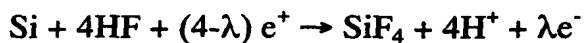
[0015]

Porous Si was found during a research process of electrolytic polishing of a semiconductor by Uhler et al. in 1956 (A. Uhler, Bell Syst. Tech. J., vol 35, p. 333 (1956)). In addition, Unagami et al. researched lytic reaction of Si in anodization and reported that a hole was necessary for anodic reaction of Si in an HF solution and the reaction is as follows (T. Unagami: J. Electrochem. Soc., vol. 127, p. 476 (1980)).

[0016]



or



Here, e^+ and e^- denote a hole and an electron, respectively. Each of n and λ is the number of holes necessary for one Si atom to dissolve, and porous Si is formed when a condition such as $n > 2$ or $\lambda > 4$ is met.

[0017]

Accordingly, it can be said that the P-type Si in which holes exist is easily made to be porous. Selectivity in making the P-type Si porous is demonstrated by Nagano et al. and Imai (Nagano, Nakajima, Yasuno, Ohnaka, Kajiwarra; technical research report by Institute of Electronics and Communication Engineers of Japan, vol 79, SSD79-9549 (1979)), (K. Imai; Solid-State Electronics vol 24, 159 (1981)).

[0018]

On the other hand, it has been reported that high-concentration N-type Si can also be made to be porous (R. P. Holmstrom, I. J. Y. Chi Appl. Phys. Lett. Vo. 42, 386 (1983)). Therefore, both P-type Si and N-type Si can be made to be porous regardless of the type.

[0019]

In addition, since a large number of spaces are formed inside a porous layer, density thereof is reduced to equal to or less than half. Accordingly, the superficial area of the porous layer is dramatically increased in comparison with the volume; therefore, the chemical etching speed is remarkably increased in comparison with etching speed of a normal single crystal layer.

[0020]

The conditions for making single crystal Si porous by anodization will be hereinafter shown. It is to be noted that a starting material of porous Si formed by anodization is not limited to the single crystal Si and Si of other crystal structures can also be used.

[0021]

applied voltage: 2.6 (V)

current density: 30 (mA·cm⁻²)

anodization solution: HF: H₂O: C₂H₅OH = 1 : 1 : 1

time: 2.4 (hour)

thickness of porous Si: 300 (μm)

porosity: 56(%)

Si is epitaxial grown over a porous Si base substance formed in this manner, thereby forming a single crystal Si thin film. The thickness of the single crystal Si thin film is preferably less than or equal to 50 μm, more preferably, less than or equal to 20 μm.

[0022]

Next, after a surface of the single crystal Si thin film is oxidized, a base substance which finally constitutes a substrate is prepared, and an oxide film over the surface of the single crystal Si and the base substance are attached to each other. Alternatively, after a surface of a single crystal Si base substance which is prepared anew is oxidized, it is attached to a single crystal Si layer over the porous Si base substance. This oxide film is provided between the base substance and the single crystal Si layer because, for example, when glass is used as the base substance, an interface state generated more at base interface

of a Si active layer can be lowered at oxide film interface in comparison with the glass interface; therefore, a characteristic of an electronic device can be remarkably improved. Furthermore, only the single crystal Si thin film in which the porous Si base substance is removed by selective etching described below may be attached to a new base substance. Although the single crystal Si thin film and the base substance are attached firmly enough not to be easily peeled by Van der Waals force by being in contact with each other after cleaning the surfaces at a room temperature, heat treatment at temperatures of 200 ~ 900°C, preferably, 600 ~ 900°C under a nitrogen atmosphere is further performed to the single crystal Si thin film and the base substance; accordingly, they are completely attached to each other.

[0023]

Furthermore, a Si_3N_4 layer is deposited over the whole attached two base substances as an etching-preventing film and only the Si_3N_4 layer over a surface of the porous Si base substance is removed. Apiezon wax may be used instead of the Si_3N_4 layer. Thereafter, the whole porous Si base substance is removed by means such as etching, thereby obtaining a semiconductor substrate having a thin film single crystal Si layer.

[0024]

A selective etching method by which only this porous Si base substance is etched in an electroless wet manner will be explained.

[0025]

As an etchant which does not have an etching effect to crystal Si and is capable of selective etching only to porous Si, it is preferable to use buffered hydrofluoric acid such as hydrofluoric acid, ammonium fluoride (NH_4F), or hydrogen fluoride (HF); mixture of hydrofluoric acid to which hydrogen peroxide solution is added or buffered hydrofluoric acid; mixture of hydrofluoric acid to which alcohol is added or buffered hydrofluoric acid; or mixture of hydrofluoric acid to which hydrogen peroxide solution and alcohol are added or buffered hydrofluoric. Etching is performed by making the attached substrates wet by these solutions. Etching speed depends on a solution concentration and a temperature of

hydrofluoric acid, buffered hydrofluoric acid, and hydrogen peroxide solution. By adding hydrogen peroxide solution, speed of oxidation of Si can be increased and reaction speed thereof can be increased in comparison with a case where hydrogen peroxide solution is not added. Furthermore, by changing the percentage of hydrogen peroxide solution, the reaction speed can be controlled. By adding alcohol, air bubbles of a reaction generated gas due to etching can be removed from an etching surface instantaneously without stirring, and the porous Si can be etched uniformly and efficiently.

[0026]

An HF concentration in buffered hydrofluoric acid to the etchant is set in the range of preferably 1 ~ 95%, more preferably 1 ~ 85%, and further preferably 1 ~ 70%. NH_4F concentration in buffered hydrofluoric acid to the etchant is set in the range of preferably 1 ~ 95%, more preferably 5 ~ 90%, and further preferably 5 ~ 80%.

[0027]

An HF concentration to the etchant is set in the range of preferably 1 ~ 95%, more preferably, 5 ~ 90%, and further preferably 5 ~ 80%.

[0028]

An H_2O_2 concentration to the etchant is set in the range of preferably 1 ~ 95%, more preferably 5 ~ 90%, and further preferably 10 ~ 80%, and also set in the range where the effect of hydrogen peroxide solution is obtained.

[0029]

Alcohol concentration to the etchant is set preferably 80%, more preferably less than or equal to 60%, and further preferably less than or equal to 40%, and also set in the range where the effect of alcohol is obtained.

[0030]

A temperature is set in the range of preferably 0 ~ 100°C, more preferably 5 ~ 80°C, and further preferably 5 ~ 60°C.

[0031]

As the alcohol used in this process, alcohol such as isopropyl alcohol, which is allowed to be used for practical use in a manufacturing process and the effect of alcohol

addition can be expected, can be used in addition to ethyl alcohol.

[0032]

A single crystal Si layer which is equivalent to a normal Si wafer is thinned to be planarized and uniform and is widely formed over the entire area of the semiconductor substrate obtained in this way.

[0033]

The single crystal Si layer over the semiconductor substrate is separated therefrom by a partial oxidation method or by being etched into an island-shape and an impurity is doped, thereby forming a p- or n-channel transistor.

[0034]

[Embodiment]

Hereinafter, the present invention will be explained in more detail.

[0035]

FIG. 1 shows an active matrix substrate with a built-in peripheral driver circuit used in the present invention. In FIG. 1, reference numerals denote the same portions as those of the conventional substrate.

[0036]

As for the active matrix substrate shown in FIG. 1, a display line 3 has a plurality of driver circuits 5 and 6, a scanning line 4 has a plurality of driver circuits 7 and 8, and also clock signals are input from a plurality of points 9 and 9' to the driver circuit 5. In the same way, clock signals are input from a plurality of points to other driver circuits 6, 7, and 8. Although one driver circuit may be provided for each of the scanning line and the display line in the present invention, high-speed operation becomes possible by using a plurality of driver circuits.

[0037]

FIG. 3 shows a circuit diagram of the active matrix substrate when a CMOS driver circuit is used. In the present invention, a scanning line 4 and a display line 3 for inputting a scanning signal and a display signal to a pixel 41 are connected to driver circuits 7 and 8 and driver circuits 5 and 6, respectively, as shown in FIG. 2 and the driver

circuits are driven.

[0038]

90% rise time of power supply voltage of a clock signal by the input method of the present invention can be obtained as follows.

[0039]

$$\tau = \rho_s \cdot L \cdot C/W$$

τ denotes time constant of a signal line; ρ_s , sheet resistance; L , the length of a wiring; W , the width of the wiring; and C , additional capacitance. When ρ_s is $0.1 \Omega/\square$, $C = 50$ pF, $L = 130$ mm, and $W = 100 \mu\text{m}$ of aluminum, if signals are input from two points, an effect in which the effective length L of the wiring is reduced by half and the effective width W of the wiring is doubled is obtained, and $\tau = 375$ psec at that time. The 90% rise time is 2.3 times as large as τ . In this embodiment, time necessary for the 90% rise time is only 863 psec and can be adapted to high frequency of several hundreds MHz.

[0040]

On the other hand, in the case of the above-described ITO wiring, 90% rise time is $\rho_s = 20 \Omega/\square$, $C = 50$ pF, $L = 15$ mm, $W = 200 \mu\text{m}$, and $\tau = 75$ to 170 nsec even if signals are input from two points, and the rise time can be adapted to frequency of approximately 5 MHz only. Although, among the conventional methods, there is a circuit having two pairs of shift registers, if a clock signal is not sufficiently high-speed, a round of rising waveform is generated in a distributed manner in a line, and an image becomes uneven.

[0041]

In the signal input method of the present invention, in addition to Embodiment, a method by which signals are input from three points to one driver circuit as shown in FIG. 4 is preferably used. Furthermore, by increasing the number of driver circuits or additionally providing a signal input point, high speed can be achieved.

[0042]

[Effect of the Invention]

In the signal input method of the present invention, a single crystal semiconductor capable of fast response and with high reliability in comparison with a conventional

polycrystalline semiconductor or an amorphous semiconductor is used for a transistor, low-resistance metal or silicide is used for a signal line, and signals are input from a plurality of points; accordingly, high-speed operation of a driver circuit is achieved and high-frequency driving of an active matrix substrate is achieved. Therefore, it becomes possible to display a high-definition image in which the number of pixels is larger than before and perform clear display which can be adapted to a large screen.

{Brief Description of the Drawings}

[FIG. 1] a diagram showing one embodiment of the present invention

[FIG. 2] a view showing a circuit diagram of the substrate shown in FIG. 1

[FIG. 3] a cross-sectional view of transistor neighborhood formed inside a peripheral driver circuit

[FIG. 4] a diagram showing one embodiment of the present invention

[FIG. 5] a diagram showing a conventional active matrix substrate

[Explanation of Reference Numerals]

1: pixel electrode, 2: transistor, 3: display line, 4: scanning line, 5, 6: display line driver circuit, 7, 8: scanning line driver circuit, 9 to 12': clock signal input terminal, 21: substrate, 22: source (or drain), 23: drain (or source), 24: gate, 25: channel, 26 to 28: Al for wiring, 29: Si for wiring, 30: display line, 31 to 40: insulating layer, and 41: pixel.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-210090

(43) 公開日 平成5年(1993)8月20日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/133	550	7820-2K
1/136	500	9018-2K
G09G 3/36		7319-5G
H01L 27/00		8418-4M

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平4-40601

(22) 出願日 平成4年(1992)1月31日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 宮脇 守

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

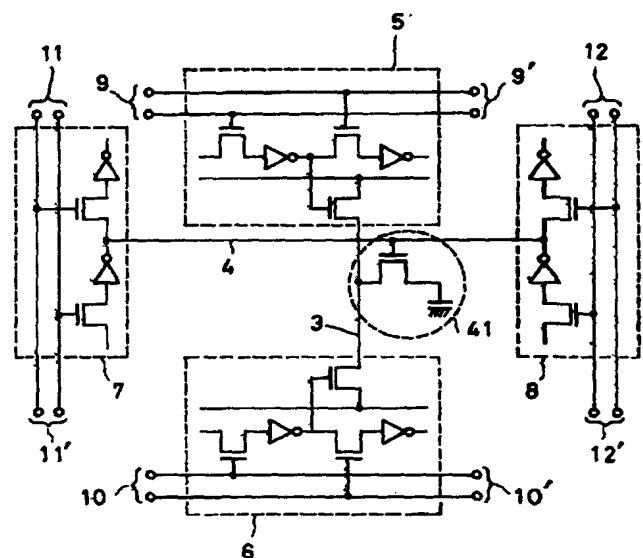
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 信号入力方法

(57) 【要約】

【構成】 多孔質 Si 上にエピタキシャル成長させて得た無欠陥の単結晶 Si 薄膜からなるトランジスタを有し、クロック信号入力線に金属或いはシリサイドを用いた周辺駆動回路を内蔵するアクティブマトリクス基板において、該駆動回路が走査線、表示線に対しそれぞれ複数存在し、さらに各駆動回路に複数箇所よりクロック信号を入力することを特徴とする信号入力方法。

【効果】 低抵抗の金属配線と、高信頼性を有し、高速駆動可能な単結晶半導体との組み合わせにより、将来的な高周波数の駆動が実現する。



41: 図案

【特許請求の範囲】

【請求項1】 周辺駆動回路を内蔵したアクティブマトリクス基板において、該周辺駆動回路内のクロック信号線が金属又はシリサイドで配線され、同周辺駆動回路内のトランジスタが単結晶薄膜で形成され、上記駆動回路へ複数箇所から信号を入力することを特徴とする信号入力方法。

【請求項2】 走査線、表示線それぞれに複数の駆動回路を有し、各駆動回路に複数箇所から信号を入力することを特徴とする請求項1記載の信号入力方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置等、マトリクス状に配置した複数の画素をアクティブマトリクス駆動するための、基板に内蔵された周辺駆動回路への信号入力方法に関する。

【0002】

【従来の技術】 映像等を表示する液晶表示装置などでは、解像度を高めて精細な表示を行うために、1画面をできるかぎり多くの画素に分割する必要がある。しかしながら、画素数が膨大になり、対応する走査電極や表示電極の数が多くなると、通常の時分割駆動が困難になるなどの問題があるため、各画素電極毎にスイッチング素子を配置して該スイッチング素子をマトリクス駆動することにより、該スイッチング素子を介して画素電極のオン・オフを行う、アクティブマトリクス方式が用いられている。

【0003】 このアクティブマトリクス方式は用いるスイッチング素子の種類により三端子方式と二端子方式に大別されるが、三端子素子、中でもTFT（薄膜トランジスタ）素子を駆動回路に用いて表示部周辺に配置することにより、表示部と駆動回路を同時に同一基板上に集積・内蔵化することができ、製造上、或いは小型化する上でひじょうに有用である。

【0004】 図5に従来の駆動回路内蔵型のアクティブマトリクス基板を示した。図中1は画素電極、2はトランジスタ、3は表示線、4は走査線、5及び6は表示線駆動回路、7及び8は走査線駆動回路、9及び10は表示線駆動回路のブロック信号入力端子、11及び12は走査線駆動回路のブロック信号入力端子である。さらに、上記表示線駆動回路内に内蔵したp-Si（多結晶シリコン）型TFT素子の断面を図2に示した。図中21は基板（通常ガラス）、22及び23はトランジスタのソース又はドレインでありその間の25がチャンネル部で多結晶シリコンで形成されている。24はゲート電極でやはり多結晶シリコンで形成されている。26～28は配線用のアルミニウムであり、27及び28はクロック信号の入力線である。29は配線用の多結晶シリコン膜であり、通常ゲート電極と同時に形成される。30はITO（Indium Tin Oxide）からなる

表示線、31～40は絶縁層である。

【0005】

【発明が解決しようとする課題】 前記した通り、画素数を増やすことにより、画像品質を高めることができるが、そのためには走査線や表示線を増やし、且つそれぞれを高速で駆動する必要がある。また、特開昭60-166927号公報には上記信号線に表示線や走査線と同じITOを用いて製造工程を簡略化する一方、複数箇所から信号線に入力することにより高速化を図った駆動回路が開示されている。しかしながら、ITOは高抵抗で高速化に限界があること、さらに従来のトランジスタは移動度の低い多結晶シリコンを用いていることから複数箇所から信号入力を行ったとしても将来的な高速化には限界があった。

【0006】

【課題を解決するための手段及び作用】 本発明は、上記課題を解決し、駆動回路の高速化を図り、高周波数の駆動に対応し得る入力方法を提供するものである。

【0007】 即ち本発明は、周辺駆動回路を内蔵したアクティブマトリクス基板において、該周辺駆動回路内のクロック信号線が金属又はシリサイドで配線され、同周辺駆動回路内のトランジスタが単結晶薄膜で形成され、上記駆動回路へ複数箇所から信号を入力することを特徴とする信号入力方法である。

【0008】 さらに本発明において、走査線、表示線それぞれに複数の駆動回路が存在し、各駆動回路に複数箇所から信号を入力することにより、さらなる高速化を図ることができる。

【0009】 本発明に用いられる信号線の素材は、金属又はシリサイドであり、具体的に挙げると金属としてはAl、Ti、Ta、Mo、Cu、W、シリサイドとしてはTiSi₂、TaSi₂、WSi₂、MoSi₂を用いることができる。

【0010】 また、本発明に用いられる周辺駆動回路内のトランジスタの構成は従来の周辺駆動回路に用いられたトランジスタとほぼ同じであるが、半導体、即ち、図2に示した活性層（ソース22、ドレイン23、チャンネル25）が単結晶薄膜で形成されていることに特徴を有する。

【0011】 この単結晶薄膜は多孔質基体を利用して製造されるもので欠陥がほとんどない高品質な単結晶半導体である。この単結晶薄膜の作成方法について、単結晶Si薄膜を例に挙げて説明する。単結晶Si層は単結晶Si基体を多孔質化した多孔質Si基体を用いて形成したものである。

【0012】 この多孔質Si基体には、透過型電子顕微鏡による観察によれば、平均約600Å程度の径の孔が形成されており、その密度は単結晶Siに比べると、半分以上になるにもかかわらず、その単結晶性は維持されており、多孔質層の上部へ単結晶Si層をエピタキシャ

10

20

30

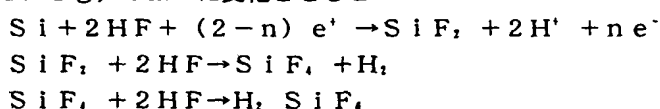
40

50

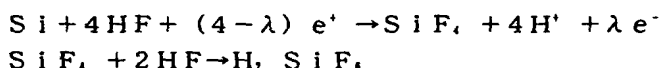
ル成長させることも可能である。ただし、1000℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Si層のエピタキシャル成長には、分子線エピタキシャル成長法、プラズマCVD法、熱CVD法、光CVD法、パイアス・スバッタ法、液晶成長法等の低温成長が好適とされる。

【0013】ここでP型Siを多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

【0014】先ず、Si単結晶基体を用意し、それをHF溶液を用いた陽極化成法によって、多孔質化する。単結晶Siの密度は 2.33 g/cm^3 であるが、多孔質Si基体の密度はHF溶液濃度を20～50%に変化させることで、 $0.6\sim 1.1\text{ g/cm}^3$ に変化させるこ



又は、



ここで、 e^+ 及び、 e^- はそれぞれ、正孔と電子を表している。また、 n 及び λ はそれぞれSi1原子が溶解するために必要な正孔の数であり、 $n>2$ 又は、 $\lambda>4$ なる条件が満たされた場合に多孔質Siが形成されるとしている。

【0017】以上のことから、正孔の存在するP型Siは、多孔質化され易いと言える。この多孔質化における選択性は、長野等及びイマイによって実証されている

(長野、中島、安野、大中、梶原；電子通信学会技術研究報告、vol 79, SSD79-9549 (1979))、(K. イマイ；Solid-State Electronics vol 24, 159 (1981))。

【0018】一方、高濃度N型Siも多孔質化されうることが報告されている(R. P. Holmstrom, I. J. Y. Chi Appl. Phys. Lett. Vol. 42, 386 (1983))。従って、P型、N型の別にこだわらずに多孔質化を行うことができる。

【0019】また、多孔質層はその内部に大量の空隙が形成されているために、密度が半分以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて著しく増速される。

【0020】単結晶Siを陽極化成によって多孔質化する条件を以下に示す。尚、陽極化成によって形成する多孔質Siの出発材料は、単結晶Siに限定されるものではなく、他の結晶構造のSiでも可能である。

【0021】印加電圧： 2.6 (V)

電流密度： 30 (mA・cm⁻²)

陽極化成溶液： HF:H₂O:C₂H₅OH=1:1:1

とができる。この多孔質層は下記の理由により、P型Si基体に形成され易い。

【0015】多孔質SiはUhliir等によって1956年に半導体の電解研磨の研究過程において発見された(A. Uhliir, Bell Syst. Tech. J., vol 35, p. 333 (1956))。また、ウナガミ等は、陽極化成におけるSiの溶解反応を研究し、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のようであると報告している

(T. ウナガミ；J. Electrochem. Soc., vol. 127, p. 476 (1980))。

【0016】

時間： 2.4 (時間)

多孔質Siの厚み： 300 (μm)

Porosity： 56 (%)

このようにして形成した多孔質化Si基体の上にSiをエピタキシャル成長させて単結晶Si薄膜を形成する。単結晶Si薄膜の厚さは好ましくは50 μm以下、さらに好ましくは20 μm以下である。

【0022】次に上記単結晶Si薄膜表面を酸化した後、最終的に基板を構成することになる基体を用意し、単結晶Si表面の酸化膜と上記基体を貼り合わせる。或いは新たに用意した単結晶Si基体の表面を酸化した後、上記多孔質Si基体上の単結晶Si層と貼り合わせる。この酸化膜を基体と単結晶Si層の間に設ける理由は、例えば基体としてガラスを用いた場合、Si活性層の下地界面により発生する界面準位は上記ガラス界面に比べて、酸化膜界面の方が準位を低くできるため、電子デバイスの特性を、著しく向上させることができるためである。さらに、後述する選択エッチングにより多孔質Si基体をエッチング除去した単結晶Si薄膜のみを新しい基体に貼り合わせても良い。貼り合わせはそれぞれの表面を洗浄後に室温で接触させるだけでVan der Waals力で簡単には剥すことができない程十分に密着しているが、これをさらに200～900℃、好ましくは600～900℃の温度で窒素雰囲気下熱処理し完全に貼り合わせる。

【0023】さらに、上記の貼り合わせた2枚の基体全体にSi、N₂層をエッチング防止膜として堆積し、多孔質Si基体の表面上のSi、N₂層のみを除去する。このSi、N₂層の代わりにアビエソソワックスを用いても良い。この後、多孔質Si基体を全部エッチング等の手段で除去することにより薄膜単結晶Si層を有する

半導体基板が得られる。

【0024】この多孔質Si基体のみを無電解湿式エッチングする選択エッチング法について説明する。

【0025】結晶Siに対してはエッチング作用を持たず、多孔質Siのみを選択エッチング可能なエッチング液としては、弗酸、フッ化アンモニウム(NH₄F)やフッ化水素(HF)等バッファード弗酸、過酸化水素水を加えた弗酸又はバッファード弗酸の混合液、アルコールを加えた弗酸又はバッファード弗酸の混合液、過酸化水素水とアルコールとを加えた弗酸又はバッファード弗酸の混合液が好適に用いられる。これらの溶液に貼り合わせた基板を湿潤させてエッチングを行う。エッチング速度は弗酸、バッファード弗酸、過酸化水素水の溶液濃度及び温度に依存する。過酸化水素水を添加することによって、Siの酸化を増速し、反応速度を無添加に比べて増速することが可能となり、さらに過酸化水素水の比率を変えることにより、その反応速度を制御することができる。またアルコールを添加することにより、エッチングによる反応生成気体の気泡を、瞬時にエッチング表面から攪拌することなく除去でき、均一に且つ効率よく多孔質Siをエッチングすることができる。

【0026】バッファード弗酸中のHF濃度は、エッチング液に対して、好ましくは1～95%、より好ましくは1～85%、さらに好ましくは1～70%の範囲で設定され、バッファード弗酸中のNH₄F濃度は、エッチング液に対して、好ましくは1～95%、より好ましくは5～90%、さらに好ましくは5～80%の範囲で設定される。

【0027】HF濃度は、エッチング液に対して、好ましくは1～95%、より好ましくは5～90%、さらに好ましくは5～80%の範囲で設定される。

【0028】H₂O₂濃度は、エッチング液に対して、好ましくは1～95%、より好ましくは5～90%、さらに好ましくは10～80%で、且つ上記過酸化水素水の効果を奏する範囲で設定される。

【0029】アルコール濃度は、エッチング液に対して、好ましくは80%、より好ましくは60%以下、さらに好ましくは40%以下で、且つ上記アルコールの効果を奏する範囲で設定される。

【0030】温度は、好ましくは0～100℃、より好ましくは5～80℃、さらに好ましくは5～60℃の範囲で設定される。

【0031】本工程に用いられるアルコールはエチルアルコールの他、イソプロピルアルコールなど製造工程等に実用上差し支えなく、さらに上記アルコール添加効果を望むことのできるアルコールを用いることができる。

【0032】このようにして得られた半導体基板は、通常のSiウエハーと同等な単結晶Si層が平坦にしかも均一に薄層化されて基板全域に大面積に形成されている。

【0033】この半導体基板の単結晶Si層を部分酸化法或いは島状にエッチングすることにより分離し、不純物をドーピングしてp或いはnチャネルトランジスタを形成する。

【0034】

【実施例】以下、本発明についてさらに詳細に説明する。

【0035】図1に本発明に用いる周辺駆動回路内蔵型アクティブマトリクス基板を示した。図1中の符号は前記従来の基板の説明と同じ部位を示す。

【0036】図1に示したアクティブマトリクス基板はそれぞれ表示線3が5及び6の、走査線4が7及び8のそれぞれ複数の駆動回路を有し、且つ駆動回路5は9及び9'の複数箇所よりクロック信号を入力する。他の駆動回路6、7、8も同様に複数箇所よりクロック信号を入力する。本発明においては、駆動回路を走査線、表示線それぞれ一つずつでも構わないが、駆動回路を複数用いることによってより高速駆動が可能となる。

【0037】図3にCMOS型駆動回路を用いた場合の上記アクティブマトリクス基板の回路図を示した。本発明においては、画素41に走査信号及び表示信号を入力する走査線4及び表示線3はそれぞれ駆動回路7、8及び駆動回路5、6に図2に示したように接続されて駆動される。

【0038】本発明の入力方法によるクロック信号の電源電圧の90%立ち上がり時間は次のようにして求められる。

$$\tau = \rho_s \cdot L \cdot C / W$$

τ は信号線の時定数であり、 ρ_s はシート抵抗、 L は配線長、 W は配線幅、 C は付加容量である。 ρ_s にアルミニウムの $0.1 \Omega / \square$ 、 $C = 50 \text{ pF}$ 、 $L = 130 \text{ m}$ 、 $W = 100 \mu\text{m}$ とすると、2箇所から信号入力したとして、実効の配線長 L が半分に、配線幅 W が2倍になった効果が有り、その時 $\tau = 375 \text{ psec}$ である。上記の90%立ち上がり時間は τ の2.3倍であり、本実施例において、90%立ち上がりに必要な時間はわずかに 863 psec であり、数百MHzの高周波数にまで対応できる。

【0040】一方、前記したITO配線の場合の90%立ち上がり時間は、2箇所から信号入力したとしても、 $\rho_s = 20 \Omega / \square$ 、 $C = 50 \text{ pF}$ 、 $L = 15 \text{ mm}$ 、 $W = 200 \mu\text{m}$ 、 $\tau = 75 \text{ nsec}$ より 170 nsec であり、5MHz程度しか対応できない。従来の方式には、シフトレジスタを2組持つものも有るが、クロック信号が十分に高速でないと、ライン内で立ち上がり波形のなまりが分布して生じ、画像として見た時にむらとなって見えてしまう。

【0041】本発明の信号入力方法では、上記実施例の他に、図4に示したように一つの駆動回路に3箇所から信号入力することも好適に用いられる。さらに、駆動回

路数を増やしたり、信号入力箇所を増設することにより、より高速化に対応するものである。

【0042】

【発明の効果】本発明の信号入力方法は、従来の多結晶或いはアモルファスに比べて高速応答が可能で信頼性の高い単結晶半導体をトランジスタに用い、信号線には低抵抗の金属或いはシリサイドを用い、複数箇所から信号入力することにより、駆動回路の高速化を図り、アクティブマトリクス基板の高周波数の駆動を実現したものである。従って、従来よりもさらに画素数を増やした高精細な画像や、大面積画面にも対応し、鮮明な表示を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例の一つを示す図である。

【図2】図1に示した基板の回路図を示す図である。

【図3】周辺駆動回路内に形成されるトランジスタ近傍の断面図である。

【図4】本発明の実施例の一つを示す図である。

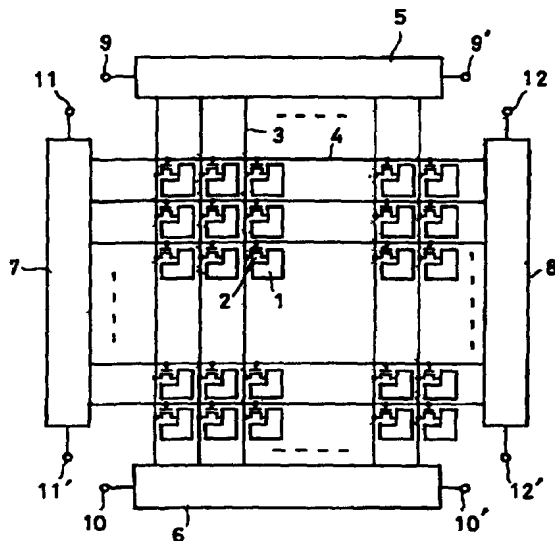
【図5】従来のアクティブマトリクス基板を示す図であ

る。

【符号の説明】

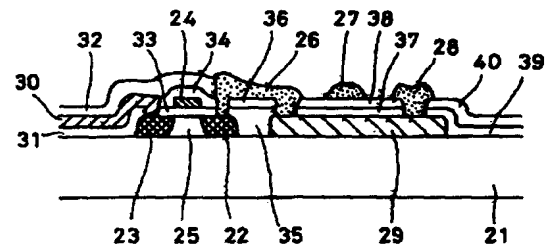
- 1 画素電極
- 2 トランジスタ
- 3 表示線
- 4 走査線
- 5、6 表示線駆動回路
- 7、8 走査線駆動回路
- 9～12' クロック信号入力端子
- 21 基板
- 22 ソース（又はドレイン）
- 23 ドレイン（又はソース）
- 24 ゲート
- 25 チャンネル
- 26～28 配線用Al
- 29 配線用Si
- 30 表示線
- 31～40 絶縁層
- 41 画素

【図1】



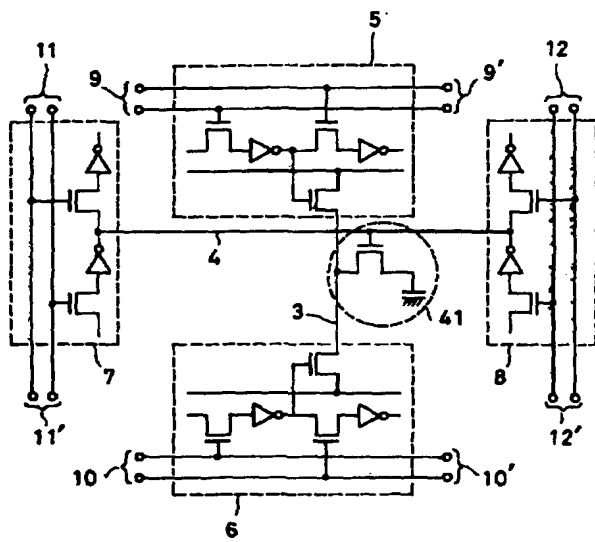
- 1 : 画素電極
- 2 : トランジスタ
- 3 : 表示線
- 4 : 走査線
- 5, 6 : 表示線駆動回路
- 7, 8 : 走査線駆動回路
- 9～12' : クロック信号入力端子

【図2】



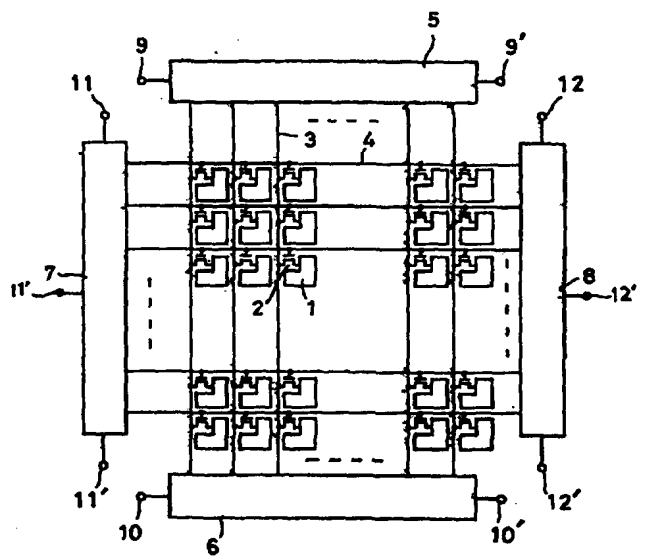
- 21 : 基板
- 22 : ソース（又はドレイン）
- 23 : ドレイン（又はソース）
- 24 : ゲート
- 25 : チャンネル
- 26, 27, 28 : 配線用Al
- 29 : 配線用Si
- 30 : 表示線
- 31～40 : 絶縁層

【図 3】



41: 圖案

【図 4】



【図 5】

